



V

Application No. 91-16638

Laid-open No. 92-7232

Abstract

The present invention relates to a method for fabricating a CMOS structure, which comprising the steps of: providing an insulation module having at least two active device regions; forming an N-doped well or P-doped well in the at least two active device regions; forming a P-doped polycrystalline semiconductor gate electrode on the N-doped well and an N-doped polycrystalline semiconductor gate electrode on the P-doped well; forming a source/drain region on the doped wells, that is, being self-arrayed on the gate electrode; forming a dielectric layer on the surface of the above structure; and forming a source/drain contact.

pop10v=5/μs

⑨ 대 한 민 국 특 허 청 (KR)

⑩ Int. Cl.
H 01 L 29/76

⑪ 공 개 특 허 공 보 (A)

체 859 호

⑫ 공개일자 서기 1992. 4. 28

⑬ 공개번호 92- 7232

⑭ 출원일자 서기 1991. 9. 25

⑮ 출원번호 91- 16638

⑯ 우선권주장 ⑰ 1990. 9. 27 ⑯ 미국 (US)
⑰ 588, 867

심사청구 : 없음

⑰ 발 명 자 패테르 제이. 즈데벨

독일연방공화국, D-8193 쟁 하인리히, 보이에르베르거 스트라쎄 2
피谢尔路 21号

⑱ 출 원 인 모토로라 인코포레이티드 대표자 빈센트 죄생 로너

미합중국, 일리노이 60196, 샤움버그, 이스트 앤공원 로드 1303

⑲ 대리인 변리사 이 병 호·최 달 용

(전 2면)

⑩ CMOS 구조의 제조방법

① 특허청구의 범위

1. CMOS 구조의 제조 방법에 있어서, 적어도 두개의 능동장치 영역을 갖는 절연모듈을 제공시키며, 상기 적어도 두개의 능동 장치 영역에 N도핑된 웨 및 P도핑된 웨를 형성시키며, 상기 N 도핑된 웨상에 P도핑된 다결정 반도체 게이트 전극과 상기 P도핑된 웨상에 N도핑된 폴리실리콘 반도체 게이트 전극을 형성시키며, 상기 도핑된 웨에 소스 및 드레인 영역 즉, 상기 게이트전극에 자기 정렬되는 형태를 형성시키며, 상기 게이트 전극을 포함하는 상기 구조의 표면상에 유전체층을 형성시키고, 소스 및 드레인 접촉을 형성시키는 단계를 구비하는 CMOS 구조의 제조방법.

2. CMOS구조의 제조 방법에 있어서, 복수의 능동 장치 영역을 갖는 결리 모듈을 제공시키며, 상기 능동 장치 영역의 적어도 일부에 도핑된 웨, N도전형을 갖는 상기 웨중 적어도 하나의 웨 및 P도전형을 갖는 상기 웨중 적어도 하나의 웨를 형성시키며, 상기 구조의 표면상에 제1동각의 질화물층을 형성하며, 상기 도핑된 웨상으로부터 상기 제1동각의 질화물층 부분을 제거시키며, 상기 제1동각의 질화물층의 상기 부분이 사전에 배치되는 상기 도핑된 웨상에 게이트 산화물층을 형성시키며, 상기 구조의 표면상에 동각의 다결정 반도체층을 형성시키며, 상기 적어도 하나의 N도핑된 웨상에 배치되는 P도전형 및 상기 적어도 하나의 N도핑된 웨상에 배치되는 N도전형을 갖도록 상기 동각이 다결정 반도체층을 도핑시키며, 상기 도핑된 동각의 다결정 반도체층으로부터 게이트 전극을 형성시키며, 상기 도핑된 웨에 소스 및 드레인 영역의 제1부분 즉 상기 게이트 전극에 자기 정렬되는 형태를 형성시키며, 상기 게이트 전극의 에지에 인접한 유전체 스페이서를 형성시키며, 상기 소스 및 드레인 영역의 제2부분 즉 상기 유전체 스페이서에 자기 정렬되는 형태를 형성시키며, 상기 게이트 전극 및 상기 유전체 스페이서를 포함하는 상기 구조의 표면상에 제2동각의 질화물층을 형성시키며, 상기 제2동각의 질화물층상에 동각의 산화물층을 형성시키고, 소스 및 드레인 접촉을 형성시키는 단계를 구비하는 CMOS 구조의 제조 방법.

3. CMOS 구조의 제조 방법에 있어서, 복수의 능동 장치 영역을 갖는 결리 모듈을 제공시키며, 상기 복수의 능동 장치 영역에 걸쳐서 스크린 산화물층을 형성시키며, 도핑된 웨를 형성하기 위하여 적어도 일부의 상기 복수의 능동장치 영역, N 도전형을 갖는 상기 도핑된 웨의 적어도 하나의 웨 및 P도전형을 갖는 상기 웨의 적어도 하나의 웨에 도펀트를 주입시키며, 상기 구조의 표면상에 제1동각의 질화물층을 침착시키며, 상기 도핑된 웨상으

로부터 상기 제1동각의 질화물충부분을 제거시키며, 상기 스크린 산화물충을 제거시키며, 상기 제1동각의 질화물충의 상기 부분이 사전에 배치되는 상기 도핑된 웨이에 게이트 산화물충을 성장시키며, 상기 구조의 표면상에 제1동각의 폴리실리콘충을 침착시키며, 드레쉬홀드 주입을 상기 도핑된 웨이로 주입시키며, 상기 제1동각의 다결정충상에 제2동각의 폴리실리콘충을 침착시키며, 상기 적어도 하나의 N도핑된 웨이상에 배치되는 P도전형과 적어도 하나의 P도핑된 웨이상에 배치된 N도전형을 갖도록 상기 제1 및 제2동각의 폴리실리콘을 도핑시키며, 상기 제1 및 제2도핑된 동각의 폴리실리콘충으로 부터 게이트 전극을 예칭시키며, 상기 도핑된 웨이에 소스 미츠 드레인 영역의 제1부분을 주입시키며 즉 상기 게이트 전극에 자기 정렬되도록 주입시키며, 상기 게이트 전극의 예지에 인접한 유전체 스페이서를 형성시키며, 상기 소스 및 드레인 영역의 제2부분을 주입시키며 즉 상기 유전체 스페이서에 자기 정렬되도록 주입시키며, 상기 게이트 전극 및 상기 유전체 스페이서를 포함하는 상기 구조의 표면상에 제2동각의 질화물충을 침착시키며, 상기 제2동각의 질화물충상에 동각의 산화물충을 침착시키며, 소스 및 드레인 접촉을 형성시키는 단계를 구비하는 CMOS 구조의 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제1도는 본 발명에 따라서 사용되는 격리 모듈형 부분을 도시한 확대 단면도.

